

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 7月26日

出 願 番 号

Application Number:

平成11年特許願第210350号

出 願 人

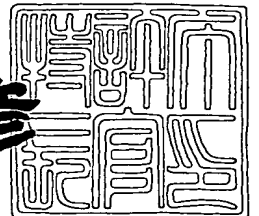
Applicant (s):

シャープ株式会社

2000年 5月19日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3035894

61678/00R00134/US/JVS

【書類名】 特許願

【整理番号】 99-02085

【提出日】 平成11年 7月26日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36
G02F 1/133

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 西久保 圭志

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 柳 俊洋

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【電話番号】 06-6621-1221

【代理人】

【識別番号】 100103296

【弁理士】

【氏名又は名称】 小池 隆彌

【電話番号】 06-6621-1221

【連絡先】 電話 0 4 3 - 2 9 9 - 8 4 6 6 知的財産権本部 東京
知的財産権部

【手数料の表示】

【予納台帳番号】 012313

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703283

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ソースドライバ、ソースライン駆動回路およびそれを用いた液晶表示装置

【特許請求の範囲】

【請求項 1】 交流駆動が必要な画素を備えると共に、データ信号に従った階調電圧を前記画素に供給するソースドライバにおいて、

抵抗分圧回路が設けられ、前記抵抗分圧回路の抵抗分割比が上下非対称に設定されていることを特徴とするソースドライバ。

【請求項 2】 交流駆動が必要な画素を備えると共に、データ信号に従った階調電圧を前記画素に供給するソースライン駆動回路において、

請求項 1 に記載のソースドライバが設けられているとともに、階調基準電圧発生回路を備え、前記ソースドライバには複数の入力端子が設けられ、前記複数の入力端子には、各々電圧レベルの異なる階調基準電圧が供給されているとともに、前記複数の階調基準電圧に基づいて、正極性用の階調電圧と負極性用の階調電圧を作成することを特徴とするソースライン駆動回路。

【請求項 3】 前記ソースドライバには階調基準電圧を入力する入力端子が 2 つ設けられ、

一方の入力端子には正極性用の最上位階調基準電圧が供給されており、他方の入力端子には負極性用の最下位階調基準電圧が供給されていることを特徴とする請求項 2 に記載のソースライン駆動回路。

【請求項 4】 マトリクス状に配置された複数の画素と、画素の各列に対応して配置された複数のデータ信号線と、画素の各行に対応して配置された複数の走査信号線とを備えると共に、各画素にスイッチング素子を有するアクティブマトリクス型液晶表示装置において、

データ信号線を駆動するために、請求項 2 または 3 に記載のソースライン駆動回路を備えたことを特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、階調表示を行う表示装置において、データ信号に応じてデータ線へ供給される階調電圧を作成するためのソースドライバ、およびそれを用いたソースライン駆動回路、およびそれらを用いた表示装置に関し、特に、例えば液晶表示装置のように、表示画面を構成する絵素に直流電圧が印加されると劣化あるいは破壊される恐れがあることから交流駆動を必要とする表示装置に用いられるソースドライバ、およびそれを用いたソースライン駆動回路、およびそれらを用いた表示装置に関する。

【0002】

【従来の技術】

近年、大画面にて高精細な表示が可能なアクティブマトリクス型液晶表示装置の開発が盛んである。前記アクティブマトリクス型液晶表示装置では、液晶を挟持する一对の基板の一方に、薄膜IC技術にて形成された薄膜トランジスタ（TFT：Thin Film Transistor）アレイを備えた構成が、広く採用されている。

【0003】

図8は、従来のアクティブマトリクス型液晶表示装置における各画素の等価回路の一例を示す回路図である。各画素は、図8に示すように、互いに直交するように配置されたソースライン4…およびゲートライン5…の交点の各々に対応して設けられている。各画素には例えばアモルファスシリコン等を用いて構成されるTFTが設けられ、TFTのゲート電極にゲートライン5が接続され、ソース電極にソースライン4が接続されている。TFTのドレイン電極には、液晶セル容量 C_{LC} と、補助容量 C_S と、寄生容量 C_{gd} とが、負荷として接続されている。なお、前記の寄生容量 C_{gd} は、ゲートライン5と表示電極を兼ねたドレイン電極とが容量結合していることによって生じる。液晶セル容量 C_{LC} および補助容量 C_S において、TFTのドレイン電極に接続されていない方の端子は、対向基板の共通電極（図示せず）に接続され、共通電極電圧 V_{COM} が与えられる。前記した構成により、画素は、液晶セル容量 C_{LC} および補助容量 C_S において、データ信号に応じた所定の電圧を一走査期間を通じて書き込むことにより、所定の階調表示を実現する。

【0004】

液晶は電気化学的特性により、一定方向の電界を長時間印加し続けていると劣化する。したがって、液晶に印加される電界の方向が一定周期毎に逆方向になるように駆動しなければならないため、共通電極電圧 V_{COM} を中心に交流駆動している。ドット反転方式ではソースドライバが出力する階調電圧 V_X が、極性反転信号 REV を基準として反転され、液晶セルを交流駆動する。

【0005】

階調電圧 V_X が印加されたときに液晶セル容量 C_{LC} に生じる液晶セル電圧 V_{LC} は、寄生容量 C_{gd} の影響を無視すれば、ソースライン 4 から TFT のソース電極およびドレイン電極を介して供給される階調電圧 V_X と、共通電極電圧 V_{COM} との差電圧であるが、実際の動作上は、前記寄生容量 C_{gd} を無視することはできない。

【0006】

ここで、前記の寄生容量 C_{gd} が画素の駆動に及ぼす影響について、図 9 を参照しながら説明する。図 9 は、ゲートライン 5 に供給される走査電圧 V_Y の波形、ソースライン 4 に供給される階調電圧 V_X の波形、極性反転信号 REV の波形、共通電極電圧 V_{COM} の波形、およびこれらの電圧によって液晶セル容量 C_{LC} に生じる液晶セル電圧 V_{LC} の波形を表している。図 9 に示すように、ゲートライン 5 を介して TFT のゲート電極に選択パルスが印加されると、TFT はオン状態となり、ソースライン 4 に印加されている階調電圧 V_X がソース電極からドレイン電極を経て、TFT の負荷である液晶セル容量 C_{LC} および補助容量 C_S へ送られる。これにより、液晶セル電圧 V_{LC} は、前記選択パルスに同期して立ち上がる。選択パルスが立ち下がった時点の電圧（以下、最終書込電圧と称する）は、液晶セル容量および補助容量 C_S によって保持されるが、実際には、最終書込電圧と TFT がオフした後の保持電圧との間に、寄生容量 C_{gd} への電荷の再分配の影響によって、レベルシフト ΔV が生じる。

【0007】

前記のレベルシフト ΔV は、図 9 に示す走査期間 T_1 のように液晶セル電圧 V_{LC} が正極性の場合には、保持電圧を最終書込電圧より低下させるよう作用するが、走査期間 T_2 のように液晶セル電圧 V_{LC} が負極性の場合には、保持電圧を最終

書込電圧より上昇させるように作用する。

【0 0 0 8】

この結果、走査期間 T_1 および走査期間 T_2 で液晶セル電圧 V_{LC} の実効値が異なることとなり、液晶に DC 電圧が印加されることとなり液晶が劣化する。また、正極性と負極性とで液晶に印加される電圧値が異なると、輝度が異なることになり画像のちらつき（フリッカ）が発生してしまう。この問題を解決するために、従来、共通電極電圧 V_{COM} を前記レベルシフト ΔV と同じだけシフトさせることにより、正極性のときの液晶セル電圧 V_{LC} の実効値と負極性のときの液晶セル電圧 V_{LC} の実効値とを等しくすることが提案されている。

【0 0 0 9】

なお、レベルシフト ΔV は、上述のように寄生容量 C_{gd} が存在するために生じ、走査電圧 V_Y の振幅を V_G とすると、下記の数 1 で与えられる。

【0 0 1 0】

【数 1】

$$\Delta V = (C_{gd} / (C_{gd} + C_{LC} + C_{Cs})) \cdot V_G$$

ここで、液晶セル容量 C_{LC} は、セルギャップを d 、表示電極の面積を A 、液晶材料の誘電率を ϵ_{LC} 、真空誘電率を ϵ_0 とすると、下記の数 2 で与えられる。

【0 0 1 1】

【数 2】

$$C_{LC} = (\epsilon_0 \cdot \epsilon_{LC} / d) \cdot A$$

なお、液晶材料の誘電率 ϵ_{LC} は、液晶分子の配列状態すなわち液晶セル電圧 V_{LC} に応じて変化するので、液晶セル容量 C_{LC} は、下記の数 3 のように、液晶セル電圧 V_{LC} の関数として与えられる。なお、 K_1 は定数である。

【0 0 1 2】

【数 3】

$$C_{LC} = K_1 \cdot f(V_{LC})$$

ゆえに、レベルシフト ΔV についても液晶セル電圧 V_{LC} の関数となり、下記の数4で与えられる。なお、 K_2 は定数である。

【0013】

【数4】

$$\Delta V = K_2 \cdot f(V_{LC})$$

液晶の光透過率は、液晶セル電圧 V_{LC} の大きさに対して非線形に変化する。つまり、階調表示を実現するためには、液晶セル電圧 V_{LC} の実効値を各階調ごとに異ならせるので、各階調におけるレベルシフト ΔV の大きさも一定ではないことが分かる。従って、各階調ごとに、レベルシフト ΔV の補償を行う必要がある。

【0014】

まず、従来のアクティブマトリクス型液晶表示装置の概略構成について説明する。図10に示すように、従来のアクティブマトリクス型液晶表示装置は、複数の画素がマトリックス状に配置された画素アレイ1と、互いに直交するように配置された複数のソースライン（図示せず）および複数のゲートライン（図示せず）からなる液晶パネルと、ソースラインを駆動するソースライン駆動回路8と、ゲートラインを駆動するゲートドライバ3とを備えている。

【0015】

ソースライン駆動回路8には、ソースドライバ2と階調基準電圧発生回路9が設けられている。ソースドライバ2の出力電圧発生部は、階調電圧作成回路、選択回路、出力バッファ（図示せず）からなり、階調基準電圧発生回路9の複数の正極性用（H用）基準電圧発生回路と複数の負極性用（L用）基準電圧発生回路で発生した正極性用基準電圧および負極性用基準電圧は、ソースドライバの階調電圧入力端子を通してソースドライバ2の階調電圧作成回路に供給される。階調電圧作成回路には複数の抵抗を直列に接続した抵抗分圧回路が設けられ、正極性用基準電圧および負極性用基準電圧間を前記抵抗分圧回路で等分割に分圧することにより、階調電圧を作成する。作成された複数の階調電圧は階調データに応じて選択回路により選択され、出力バッファを介して液晶パネルのソースライン4に出力している。液晶の印加電圧に対するレベルシフト ΔV の特性を補正するた

めには各階調電圧毎に適正な階調電圧 V_x を与えれば良いが、全階調をソースドライバ2に入力するのは回路規模が大きくなり実用的ではない。そのため、通常は正・負各5点程度の基準入力をソースドライバ2に与え、その間を内部の抵抗で等分割することにより、 ΔV のズレを減らしている。

【0016】

また、特開平7-92937には、図11に示すように、ソースドライバの外部にソースドライバに階調電圧を供給する階調電圧発生回路を設け、階調電圧発生回路中に形成された複数の階調電圧を形成する抵抗分圧回路の両端に、最大振幅電圧と基準電圧との加算電圧と減算電圧とが交流化信号により交互に供給されるとともに、図12に示すように、抵抗分圧回路の midpoint に供給する midpoint 電圧を基準基準電圧からずらすことにより、非対称にされた両極性の階調電圧を出力させ、共通電極の電圧に対して各階調電圧の平均値をそれぞれに最適に設定し、多階調化を図りつつ残像現象を防止できる液晶表示装置の駆動方法が開示されている。

【0017】

【発明が解決しようとする課題】

従来は、上述のようにソースドライバ外部の複数の基準電圧発生回路で作成された複数の階調基準電圧間を、ソースドライバ内の抵抗分圧回路で等分割することにより、さらに多数の階調電圧を作成していた。また、正極性用基準電圧を発生させる抵抗アレイの値と負極性用基準電圧を発生させる抵抗アレイの値が対称である為、各々の階調における正極性の階調電圧と負極性の階調電圧とが共通電極電圧 V_{COM} に対して上下対称になるように作成される。しかし、上述したように液晶駆動時にはレベルシフト ΔV が存在し、その ΔV を補正しなければならない。

【0018】

ΔV 特性を補正する為、従来技術では、共通電極駆動回路に可変抵抗器を設け、各階調でのフリッカ評価パターンを目視または画像認識をして、任意の何点かの階調でフリッカがなくなるように可変抵抗器の抵抗値を調整することで共通電極電圧 V_{COM} を適正に近づけていた。図13は、ソースドライバ内部の抵抗比

が基準電圧間で等分割されている従来のドライバを用いた場合の ΔV 特性を示している。横軸は階調、縦軸はその階調のときの ΔV の変化量である。図13の、曲線31は基準電圧間を等分割した時のソースドライバ発生電圧のセンター値を、曲線32は ΔV の変化量を示す。曲線31と曲線32が一致した時、液晶にはDC電圧は印加されず適正に交流駆動されたことになる。実際には等分割の抵抗比から作成された電圧しか出力されないため、図13のように、適正な ΔV 特性からズレ V_a が生じる。このズレ量が大きいとフリッカ、焼付けなどの不具合が発生してしまう。

【0019】

このように、ソースドライバ内部の抵抗分圧回路で外部基準電圧間を等分割した階調電圧を作成する従来技術では、図13に示すようにレベルシフト ΔV の補正が全階調電圧で完全には合わないため、ある階調でフリッカが見えなくなるように共通電極電位 V_{COM} を調整しても、その他の階調では正極性の液晶セル電圧 V_{LC} と負極性の液晶セル電圧 V_{LC} とが異なった値をとることになり、それらの階調電圧においてはフリッカが発生し、表示品位向上の妨げになっていた。また、共通電極電位 V_{COM} の調整作業が非常に困難であり、時間もかかっていた。

【0020】

特開平7-92937に開示されている駆動方法でN階調表示する場合、全ての階調電圧の平均値を最適に設定するには、階調電圧発生回路中の抵抗分圧回路を正極性、負極性それぞれN個ずつ抵抗分割する必要があるため、回路規模が増大し製造コストや消費電力を上昇させることとなり実用的でない。

【0021】

【課題を解決するための手段】

上記問題を解決するために、本発明のソースドライバは、交流駆動が必要な画素を備えると共に、表示信号に従った階調電圧を前記画素に供給するソースドライバにおいて、抵抗分圧回路が設けられ、前記抵抗分圧回路の抵抗分割比が上下非対称に設定されていることを特徴とする。

【0022】

本発明のソースライン駆動回路は、交流駆動が必要な画素を備えると共に、表

示信号に従った階調電圧を前記画素に供給するソースライン駆動回路において、前記ソースドライバが設けられているとともに、階調基準電圧発生回路を備え、前記ソースドライバには複数の入力端子が設けられ、前記複数の入力端子には、各々電圧レベルの異なる階調基準電圧が供給されているとともに、前記複数の階調基準電圧に基づいて、正極性用の階調電圧と負極性用の階調電圧を作成することを特徴とする。

【 0 0 2 3 】

本発明のソースライン駆動回路は、前記ソースドライバに階調基準電圧を入力する入力端子が2つ設けられ、一方の入力端子には正極性用の最上位階調基準電圧が供給されており、他方の入力端子には負極性用の最下位階調基準電圧が供給されていることを特徴とする。

【 0 0 2 4 】

本発明のアクティブマトリクス型液晶表示装置は、マトリクス状に配置された複数の画素と、画素の各列に対応して配置された複数のデータ信号線と、画素の各行に対応して配置された複数の走査信号線とを備えると共に、各画素にスイッチング素子を有するアクティブマトリクス型液晶表示装置において、データ信号線を駆動するために、前記ソースライン駆動回路を備えたことを特徴とする。

【 0 0 2 5 】

以下、上記構成による作用を説明する。

【 0 0 2 6 】

本発明のソースドライバは、ソースドライバに設けられている階調電圧作成用の抵抗分圧回路の複数の抵抗分割比を目標とする γ 特性に合せ込むと同時に、上述の液晶の誘電率異方性に起因する共通電極電圧 V_{COM} の非線形な補正を考慮して上下非対称になるように設定されているため、理想的な γ 特性をもちながら各階調電圧によって一定でないレベルシフト ΔV 補正を全ての階調において完全に行い、各階調毎に正極性の液晶セル電圧 V_{LC} と負極性の液晶セル電圧 V_{LC} とを等しくする最適な液晶印加電圧を出力することができる。すなわち、液晶分子によけいなDC電圧がかかることがなくなるため、焼き付きが発生せず、フリッカなどの表示不具合を解消することができ、表示品位を格段に向上することが可能と

なる。

【 0 0 2 7 】

本発明のソースライン駆動回路は、ソースドライバに設けられている階調電圧作成用の抵抗分圧回路の抵抗分割比が等分割でなく、上下非対称になるように設定されているため、各階調電圧によって一定ではない ΔV 補正を、ソースドライバ内の抵抗分圧回路の抵抗分割比に反映させて補償することが可能となる。そのため、従来のように多数のレベルの階調基準電圧をソースドライバに供給することなく画素を駆動でき、ソースライン駆動回路において、ソースドライバ外部に設ける階調基準電圧発生回路を縮小することができるため、ソースライン駆動回路規模を縮小することができ、部品コストを低減できると共に、低消費電力化を実現することが可能となる。

【 0 0 2 8 】

本発明のソースドライバは、全ての階調電圧が ΔV の特性を考慮して完全な補正がされているため、各階調のフリッカ評価パターンの目視により共通電極電圧を調整する作業において、ある任意の一点の階調でフリッカが見えなくなるように共通電極電圧を調整するだけで、全階調でフリッカなどの表示不具合を完全に解消することができ、共通電極電圧調整作業が非常に楽になり、作業時間を短縮することが可能となる。

【 0 0 2 9 】

本発明のソースライン駆動回路は、正極性用の最上位階調基準電圧と負極性用の最下位階調基準電圧をソースドライバに供給するため、正極性用および負極性用全ての階調電圧をソースドライバ内の抵抗分圧回路で適正に作成することが可能となるため、ソースドライバ外部に階調基準電圧発生回路を設ける必要がなく、ソースライン駆動回路規模を縮小することができ、部品コストを削減できると共に、低消費電力化を実現することが可能となる。

【 0 0 3 0 】

本発明のアクティブマトリクス型液晶表示装置は、ソースドライバに設けられている階調電圧作成用の抵抗分圧回路の抵抗分割比が上下非対称になるように設定されているため、各階調電圧によってレベルシフト ΔV の大きさが一定ではな

いことを考慮した ΔV 補正を、ソースドライバ内の抵抗分圧回路の抵抗分割比に反映させて補償することが可能となる。そのため、フリッカなどの表示不具合を解消することができ、表示品位を格段に向上したアクティブマトリクス型液晶表示装置を得ることが可能となる。

【0031】

本発明のアクティブマトリクス型液晶表示装置は、従来のように多数の外部階調基準電圧をソースドライバに供給することなく、目標の γ 特性に合わせ込んだ理想的な階調電圧を作成することができる。ソースライン駆動回路において、ソースドライバ外部に設ける階調基準電圧発生回路を縮小することができ、全体として、ソースライン駆動回路規模を縮小することができ、部品コストを削減できると共に、低消費電力化を実現することが可能となる。

【0032】

【発明の実施の形態】

以下に、本発明の実施の形態を説明する。

【0033】

まず、本発明のアクティブマトリクス型液晶表示装置の概略構成について説明する。本アクティブマトリクス型液晶表示装置は、図1に示すように、互いに直交するように配置された複数のソースライン4…（データ線）および複数のゲートライン5…と、画素アレイ1と、ソースライン4…を駆動するソースドライバ2と、ゲートライン5…を駆動するゲートドライバ3とを備えている。この実施例では、ソースドライバ2として階調電圧を発生させる回路が中心に示されており、データ信号を入力する回路及びタイミング制御回路等は省略されている。

【0034】

画素アレイ1は、隣接する2本のソースライン4と隣接する2本のゲートライン5とで囲まれた領域に一つずつ設けられた画素7によって形成されている。すなわち、画素7は全体としてマトリクス状に配列されて、画素アレイ1を形成している。

【0035】

TFT6のドレイン電極には、液晶セル容量 C_{LC} と、補助容量 C_S と、寄生容

量 C_{gd} とが、負荷として接続されている。なお、前記の寄生容量 C_{gd} は、ゲートライン5と表示電極を兼ねたドレイン電極とが容量結合していることによって生じる。液晶セル容量 C_{LC} および補助容量 C_S において、TFT6のドレイン電極に接続されていない方の端子は、対向基板の共通電極（図示せず）に接続され、共通電極電圧 V_{COM} が与えられる。

【0036】

上記した構成により、画素7は、液晶セル容量 C_{LC} および補助容量 C_S において、データ信号に応じた所定の電圧を一走査期間を通じて書き込むことにより、所定の階調表示を実現する。階調電圧 V_X が印加されたときに液晶セル容量 C_{LC} に生じる液晶セル電圧 V_{LC} は、寄生容量 C_{gd} の影響を無視すれば、ソースライン4からソースおよびドレインを介して供給される階調電圧 V_X と、共通電極電圧 V_{COM} との差電圧である。

【0037】

（実施の形態1）

図2に、64階調表示させる場合のアクティブマトリクス型液晶表示装置を示す。実施例1においては、図2に示すように、ソースライン駆動回路8は、ソースドライバ2と階調基準電圧発生回路9が設けられている。

【0038】

ソースドライバ2は、図3に示すように、複数の入力端子 S_{H0} 、 S_{Hn} 、 S_{HN} 、 S_{LN} 、 S_{Ln} 、 S_{L0} 、階調電圧作成回路11、選択回路12、出力バッファ13を備えており、外部電源（図示せず）、および階調基準電圧発生回路9により形成した階調基準電圧が入力端子に供給されるとともに、階調電圧作成回路11において、外部から供給される階調基準電圧に基づいて複数の階調電圧を作成し、選択回路12において、作成された複数の階調電圧からデータ信号に応じていずれかを選択し、出力バッファ13を介してソースライン4へ出力する。

【0039】

ソースドライバ2の階調電圧作成回路11は、複数の抵抗が直列接続された抵抗分圧回路からなる。例えば、N階調表示させる場合には、 $2N-1$ 個の抵抗が一方の入力端子 S_{H0} から他方の入力端子 S_{L0} の間に、 R_{H1} 、 R_{H2} 、…… R_{Hn} 、

…… R_{HN-1} 、 R_m 、 R_{LN-1} 、…… R_{Ln} 、…… R_{L1} 、の順に直列に設けられている。

【0040】

入力端子 S_{H0} には、外部電源により形成した正極性用最上位階調基準電圧 V_{H0} が供給され、入力端子 S_{L0} には、外部電源により形成した負極性用最下位階調基準電圧 V_{L0} が供給される。入力端子 S_{Hn} には階調基準電圧発生回路 9 により形成した正極性用基準電圧 V_{Hn} が供給され、入力端子 S_{HN} には階調基準電圧発生回路 9 により形成した正極性用基準電圧 V_{HN} が供給される。入力端子 S_{Ln} には階調基準電圧発生回路 9 により形成した負極性用基準電圧 V_{Ln} が、入力端子 S_{LN} には階調基準電圧発生回路 9 により形成した負極性用基準電圧 V_{LN} が供給される。

【0041】

入力端子 S_{H0} に供給される正極性用最上位階調基準電圧 V_{H0} は正極性の第 1 の階調電圧 V_{H1} として選択回路 12 に供給される。入力端子 S_{L0} に供給される負極性用最下位階調基準電圧 V_{L0} は、負極性の第 1 の階調電圧 V_{L1} として選択回路 12 に供給される。抵抗 R_{H1} と抵抗 R_{H2} の交点には、後述するように抵抗分圧回路の抵抗分割比によって、正極性の第 2 の階調電圧 V_{H2} が発生する。同様に、抵抗 R_{Hn-1} と抵抗 R_{Hn} の交点に正極性の n 番目の階調電圧 V_{Hn} が、抵抗 R_{HN-1} と抵抗 R_{Hm} の交点に正極性の N 番目の階調電圧 V_{HN} が発生する。同様に、抵抗 R_{L1} と抵抗 R_{L2} の交点に負極性の第 2 の階調電圧 V_{L2} が、抵抗 R_{Ln-1} と抵抗 R_{Ln} の交点に負極性の n 番目の階調電圧 V_{Ln} が、抵抗 R_{LN-1} と抵抗 R_{Lm} の交点に負極性の N 番目の階調電圧 V_{LN} が発生する。

【0042】

正極性の階調電圧を作成するための R_{H1} 、 R_{H2} 、…… R_{Hn} 、…… R_{HN-1} の $N-1$ 個の直列抵抗の内、 R_{H1} 、 R_{H2} 、…… R_{Hn} の n 個の直列抵抗値の合計 ΣR_{Hn} は、下記の数 5 で与えられる。

【0043】

【数 5】

$$\Sigma_{RHn} = R_{H1} + R_{H2} + \dots + R_{Hn}$$

(ただし、 $n = 1, 2, \dots, N-1$)

$R_{H1}, R_{H2}, \dots, R_{Hn}, \dots, R_{HN-1}$ の $N-1$ 個の直列抵抗値の合計 Σ_{RHN-1} は、下記の数 6 で与えられる。

【0 0 4 4】

【数 6】

$$\Sigma_{RHN-1} = R_{H1} + R_{H2} + \dots + R_{Hn} + \dots + R_{HN-1}$$

同様に、負極性の階調電圧を作成するための $R_{L1}, R_{L2}, \dots, R_{Ln}, \dots, R_{LN-1}$ の $N-1$ 個の直列抵抗の内、 $R_{L1}, R_{L2}, \dots, R_{Ln}$ の n 個の直列抵抗値の合計 Σ_{RLn} は、下記の数 7 で与えられる。

【0 0 4 5】

【数 7】

$$\Sigma_{RLn} = R_{L1} + R_{L2} + \dots + R_{Ln}$$

(ただし、 $n = 1, 2, \dots, N-1$)

同様に、負極性の階調電圧を作成するための $R_{L1}, R_{L2}, \dots, R_{Ln}, \dots, R_{LN-1}$ の $N-1$ 個の直列抵抗値の合計 Σ_{RLN-1} は、下記の数 8 で与えられる。

【0 0 4 6】

【数 8】

$$\Sigma_{RLN-1} = R_{L1} + R_{L2} + \dots + R_{Ln} + \dots + R_{LN-1}$$

正極性の n 番目の階調電圧 V_{Hn} は抵抗分圧回路の抵抗分割比 $\Sigma_{RHn} / \Sigma_{RHN-1}$ で作成され、負極性の n 番目の階調電圧 V_{Ln} は抵抗分圧回路の抵抗分割比 $\Sigma_{RLn} / \Sigma_{RLN-1}$ で作成される。

【0 0 4 7】

しかしながら、すべての階調においてレベルシフト ΔV の補正が完全になされた階調電圧を作成するには抵抗分割比を適切に設定しなければならない。レベルシフト ΔV が各階調電圧によって一定でないことから、全ての階調において正極

性の液晶セル電圧 V_{LC} と負極性の液晶セル電圧 V_{LC} とを等しくするには、 $(V_{Hn} - V_{Ln}) / 2$ で表わされる値を、各階調で共通電極電圧 V_{COM} とレベルシフト ΔV の電位差、 $V_{COM} - \Delta V$ に等しくしなければならない。すなわち、出力電圧を共通電極電圧 V_{COM} に対して上下非対称になるように設定しなくてはならない。

ここで、上下非対称にすることは、正極性の n 番目の階調電圧 V_{Hn} と共通電極電圧 V_{COM} との電位差と、負極性の n 番目の階調電圧 V_{Ln} と共通電極電圧 V_{COM} との電位差を異ならせることを指す。そのためには、正極性の n 番目の階調電圧 V_{Hn} を作成するための抵抗分圧回路の抵抗分割比 $\Sigma_{RHn} / \Sigma_{RHN-1}$ と負極性の n 番目の階調電圧 V_{Ln} を作成するための抵抗分圧回路の抵抗分割比 $\Sigma_{RLn} / \Sigma_{RLN-1}$ とが、 ΔV 補正が完全になされるように、上下非対称になるように設定しなければならない。

図 4 に、レベルシフト ΔV の補正が完全になされるように設定された、ソースドライバ 2 の階調電圧発生回路 1 1 である抵抗分圧回路の $2N - 1$ 個の直列抵抗の抵抗値の例を示す。曲線 4 1 は正極性用の階調電圧を作成するための $N - 1$ 個の直列抵抗 R_{H1} 、 R_{H2} 、…… R_{Hn} 、…… R_{HN-1} の抵抗値を表わし、曲線 4 2 は負極性用の階調電圧を作成するための $N - 1$ 個の直列抵抗 R_{L1} 、 R_{L2} 、…… R_{Ln} 、…… R_{LN-1} の抵抗値を表わす。図 4 からわかるように、正極性用の階調電圧を作成するための直列抵抗の抵抗値と、負極性用の階調電圧を作成するための直列抵抗の抵抗値は、レベルシフト ΔV 補正を考慮して上下非対称の設定になっている。

【0048】

実施の形態 1 では、64 階調表示させるために、図 2 で示すように、2 レベルの正極性の階調基準電圧 V_{H32}' と V_{H64}' と、2 レベルの負極性の階調基準電圧 V_{L32}' と V_{L64}' 、とが階調基準電圧発生回路 9 で作成され、各々ソースドライバ 2 の入力端子に供給される。

【0049】

図 3 に、64 階調表示において、各階調毎に階調電圧の ΔV 補正が最適化されるように、本実施例のソースドライバの抵抗分圧回路で作成された、ソースドライバからの正極性と負極性の各階調毎のソースラインへの出力電圧を示す。図 3

には、レベルシフト ΔV の階調電圧依存性を併せて示している。図3の横軸は階調を表し、図3の縦軸は出力電圧を表す。図3の曲線21は、正極性の各階調毎のソースラインへの出力電圧を、図3の曲線22は、負極性の各階調毎のソースラインへの出力電圧を、図3の曲線23は、レベルシフト ΔV の階調電圧依存性を表す。レベルシフト ΔV は、階調電圧によって変化し一定ではないことがわかる。本発明のソースドライバ2では、すべての階調において、レベルシフト ΔV の階調電圧依存性を考慮して階調電圧が作成されているため、正極性のソースラインへの出力電圧曲線21と負極性のソースラインへの出力電圧22とはレベルシフト ΔV 特性曲線23に対して対称となっている。そのため、各々の階調における正極性の液晶セル電圧 V_{LC} と負極性の液晶セル電圧 V_{LC} とを等しくすることができ、フリッカなどの表示不具合は見られない。

従来技術では、正極性用階調基準電圧と負極性用階調基準電圧を各々5点程度づつ、外部からソースドライバに供給し、レベルシフト ΔV 補正のズレが少なくなるよう試みられてきたが、実際は、図13に示すように目標とする電圧からズレ V_a が生じ、 V_a が大きくなるとフリッカが発生していた。本発明のソースドライバは、上述のように抵抗分割比を設定することにより、図13の曲線32に示されるような特性を持つ階調電圧を作成しうる階調電圧発生回路を内蔵している。前記ソースドライバをソースライン駆動回路に用いることにより、レベルシフト ΔV 補正のズレがなく、フリッカなどの表示不具合を完全に解消できる液晶表示装置を実現可能となる。

【0050】

(実施の形態2)

実施の形態2においては、ソースドライバの外部に階調基準電圧発生回路を設けていない。ソースドライバ2は、図6に示すように、階調電圧作成回路11、選択回路12、出力バッファ13および2つの入力端子 S_{H0} 、 S_{L0} を備えており、一方の入力端子 S_{H0} には、外部電源により形成した正極性用最上位階調基準電圧 V_{H0}' が供給され、他方の入力端子 S_{L0} には、外部電源により形成した負極性用最下位階調基準電圧 V_{L0}' が供給される。階調電圧作成回路11において、外部から供給される階調基準電圧に基づいて複数の階調電圧を作成し、選択回路1

2において、作成された複数の階調電圧からデータ信号に応じていずれかを選択し、出力バッファ13を介してソースライン4へ出力する。

【0051】

ソースドライバ2の階調電圧作成回路11は、実施の形態1と同様に複数の抵抗が直列接続された抵抗分圧回路からなる。例えば、N階調表示させる場合には、 $2N-1$ 個の抵抗が一方の入力端子 S_{H0} から他方の入力端子 S_{L0} の間に、 R_{H1} 、 R_{H2} 、…… R_{Hn} 、…… R_{HN-1} 、 R_m 、 R_{LN-1} 、…… R_{Ln} 、…… R_{L1} の順に直列に設けられている。

【0052】

本実施の形態2では、正極性用最上位階調基準電圧 V_{H0}' と負極性用最下位階調基準電圧 V_{L0}' との電位差から、 $2N-1$ 個の直列抵抗によって抵抗分割し、正極性用のN個の階調電圧、および負極性用のN個の階調電圧、計 $2N$ 個の所望の階調電圧を作成する。実施の形態1と同様に、全ての階調においてレベルシフト ΔV 補正が完全になされるように、抵抗分割比が正極性側と負極性側で上下非対称になるように設定される。

【0053】

図7に、本実施の形態2のソースドライバの抵抗分圧回路で作成された階調電圧をソースラインへ出力し、液晶パネルの画素を駆動させたときの輝度を階調毎に示す。図7の横軸は階調を表し、図7の縦軸は、液晶セル電圧 V_{LC} を液晶パネルの液晶層に印加したとき輝度を表す。第1階調電圧 V_1 （黒表示）のところに○印が付してあるのは、正極性、負極性ともに、第1階調電圧 V_1 として外部からソースドライバに階調基準電圧が供給されていることを表している。図7に示されるように、正極性用最上位階調基準電圧と負極性用最下位階調基準電圧を入力するだけで、第1階調電圧 V_1 から第64階調電圧 V_{64} まで、不自然な輝度変化をすることなく共通電極電圧 V_{COM} の変化に即して、レベルシフト ΔV の補正がなされた階調電圧を作成することができる。

【0054】

また、本実施の形態2のソースドライバが設けられたソースライン駆動回路が備えられたアクティブマトリクス型液晶表示装置にフリッカ評価パターンを用い

ての共通電極電圧の調整作業において、ある階調パターンに対してフリッカが生じないように共通電極電圧を最適化するだけで、他の全ての階調パターンについてもフリッカが生じない。これにより、共通電極電圧を最適化する調整作業を非常に簡便に短時間に行うことが可能となる。

【 0 0 5 5 】

上述したように、実施の形態 2 においては、ソースドライバの外部に階調基準電圧発生回路を設けずに、正極性用最上位階調基準電圧 V_{H0}' および負極性用最下位階調基準電圧 V_{L0}' のみをソースドライバに供給するだけで、上述のようにレベルシフト ΔV 補正が完全になされるように、抵抗分圧回路の抵抗分割比が設定されているため、図 1 3 の曲線 3 2 に示されるような特性を持つ階調電圧を出力可能である。そのため、レベルシフト ΔV 補正のズレがなく、フリッカなどの表示不具合を完全に解消できる液晶表示装置を実現することができる。

【 0 0 5 6 】

【発明の効果】

以上のように本発明のソースドライバによれば、ソースドライバに設けられている階調電圧作成用の抵抗分圧回路の複数の抵抗の抵抗分割比が上下非対称になるように設定されているため、各階調毎に正極性の液晶セル電圧 V_{LC} と負極性の液晶セル電圧 V_{LC} とを等しくすることができ、液晶分子に DC 電圧がかかることがなくなるため、焼き付きが発生せず、フリッカなどの表示不具合をも解消することができ、表示品位を格段に向上することが可能となる。

【 0 0 5 7 】

さらに、本発明のソースライン駆動回路によれば、ソースライン駆動回路に設けられたソースドライバにあらかじめ ΔV 補正を考慮した上下非対称の抵抗分圧回路が設けられているため、ソースドライバ外部の階調基準電圧発生回路を削減でき、ソースライン駆動回路規模を縮小することができ、部品コストを削減できると共に、低消費電力化を実現することが可能となる。

【 0 0 5 8 】

さらに、本発明のソースライン駆動回路によれば、全ての階調電圧が ΔV の特性を考慮して完全な補正がされているため、各階調の評価パターンの共通電極電

圧 V_{COM} の調整作業において、ある一点の階調でフリッカが見えなくなるように共通電極電圧を調整するだけで、全階調でフリッカなどの表示不具合を完全に解消することができるため、共通電極電圧調整作業が非常に楽になり、作業時間を短縮することが可能となる。

【 0 0 5 9 】

本発明のソースライン駆動回路によれば、正極性用の最上位階調基準電圧と負極性用の最下位階調基準電圧をソースドライバに供給すれば、正極性用および負極性用全ての階調電圧を、ソースドライバ内の抵抗分圧回路で適正に作成することが可能となるため、ソースドライバ外部に階調基準電圧発生回路を設ける必要がないため、全体としてソースライン駆動回路を縮小することができる。

【 0 0 6 0 】

本発明のアクティブマトリクス型液晶表示装置は、ソースドライバに設けられている階調電圧作成用の抵抗分圧回路の抵抗分割比が上下非対称になるように設定されているため、各階調電圧によってレベルシフト ΔV の大きさが一定ではないことを考慮した ΔV 補正を、ソースドライバ内の抵抗分圧回路の抵抗分割比に反映させて補償することが可能となる。そのため、フリッカなどの表示不具合を解消することができ、表示品位を格段に向上したアクティブマトリクス型液晶表示装置を得ることが可能となる。

【図面の簡単な説明】

【図 1】

本発明に係るアクティブマトリクス型液晶表示装置の概略構成を示す図である。

【図 2】

本発明の実施の形態 1 に係るアクティブマトリクス型液晶表示装置の概略構成を示す図である。

【図 3】

本発明の実施の形態 1 に係るソースドライバの構成を示すブロック図である。

【図 4】

本発明の実施の形態 1 に係るソースドライバ内部の抵抗分圧回路の抵抗値を表

す図である。

【図 5】

本発明の実施例 1 に係る各階調毎の正極性および負極性のソースラインへの出力電圧を表す図である。

【図 6】

本発明の実施の形態 2 に係るソースドライバの構成を示すブロック図である。

【図 7】

本発明の実施の形態 2 に係る各階調毎の画素の輝度を表す図である。

【図 8】

スイッチング素子として T F T を使用したアクティブマトリクス型液晶表示装置における、画素の等価回路を示す回路図である。

【図 9】

ゲートライン 5 に供給される走査電圧 V_y 、ソースライン 4 に供給される階調電圧 V_x 、極性反転信号 R E V、およびこれらの電圧によって液晶セル容量 C_{LC} に生じる液晶セル電圧 V_{LC} の波形をそれぞれ示す波形図である。

【図 1 0】

従来のアクティブマトリクス型液晶表示装置の概略構成を示す図である。

【図 1 1】

他の従来のアクティブマトリクス型液晶表示装置の概略構成を示す図である。

【図 1 2】

他の従来のアクティブマトリクス型液晶表示装置の液晶駆動方法の電圧関係を説明するための図である。

【図 1 3】

従来のアクティブマトリクス型液晶表示装置のソースドライバを用いたレベルシフト ΔV の特性を示す図である。

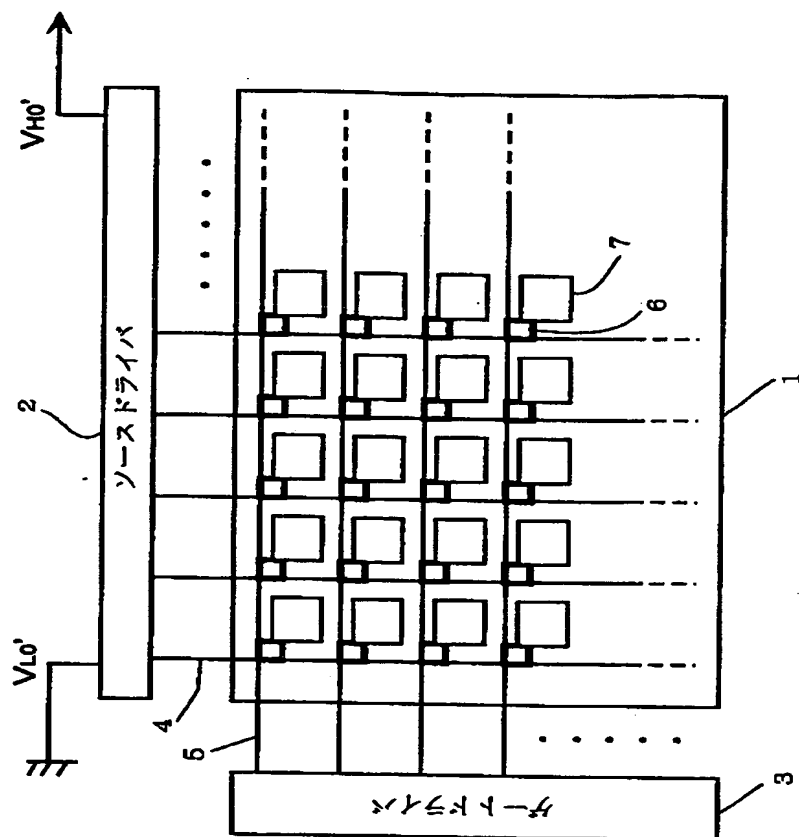
【符号の説明】

- 1 画素アレイ
- 2 ソースドライバ
- 3 ゲートドライバ

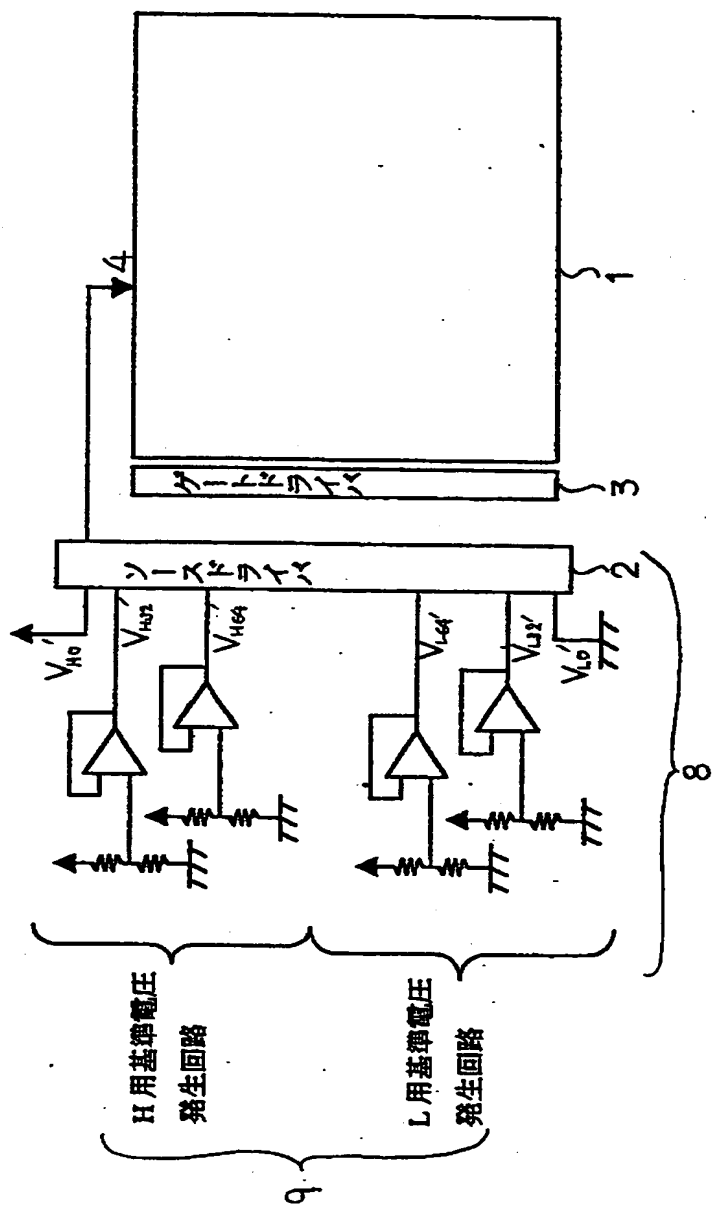
- 4 ソースライン
- 5 ゲートライン
- 6 TFT
- 7 画素
- 8 ソースライン駆動回路
- 9 階調基準電圧発生回路
- 11 階調電圧発生回路
- 12 選択回路
- 13 出力バッファ
- 21 正極性の各階調毎のソースラインへの出力電圧
- 22 負極性の各階調毎のソースラインへの出力電圧
- 23 各階調毎のレベルシフト ΔV
- 31 従来技術の駆動法で作成された階調電圧
- 32 共通電極電圧 V_{COM} の特性に対応した階調電圧
- 41 正極性の階調電圧作成用直列抵抗の抵抗値
- 42 負極性の階調電圧作成用直列抵抗の抵抗値

【書類名】 図面

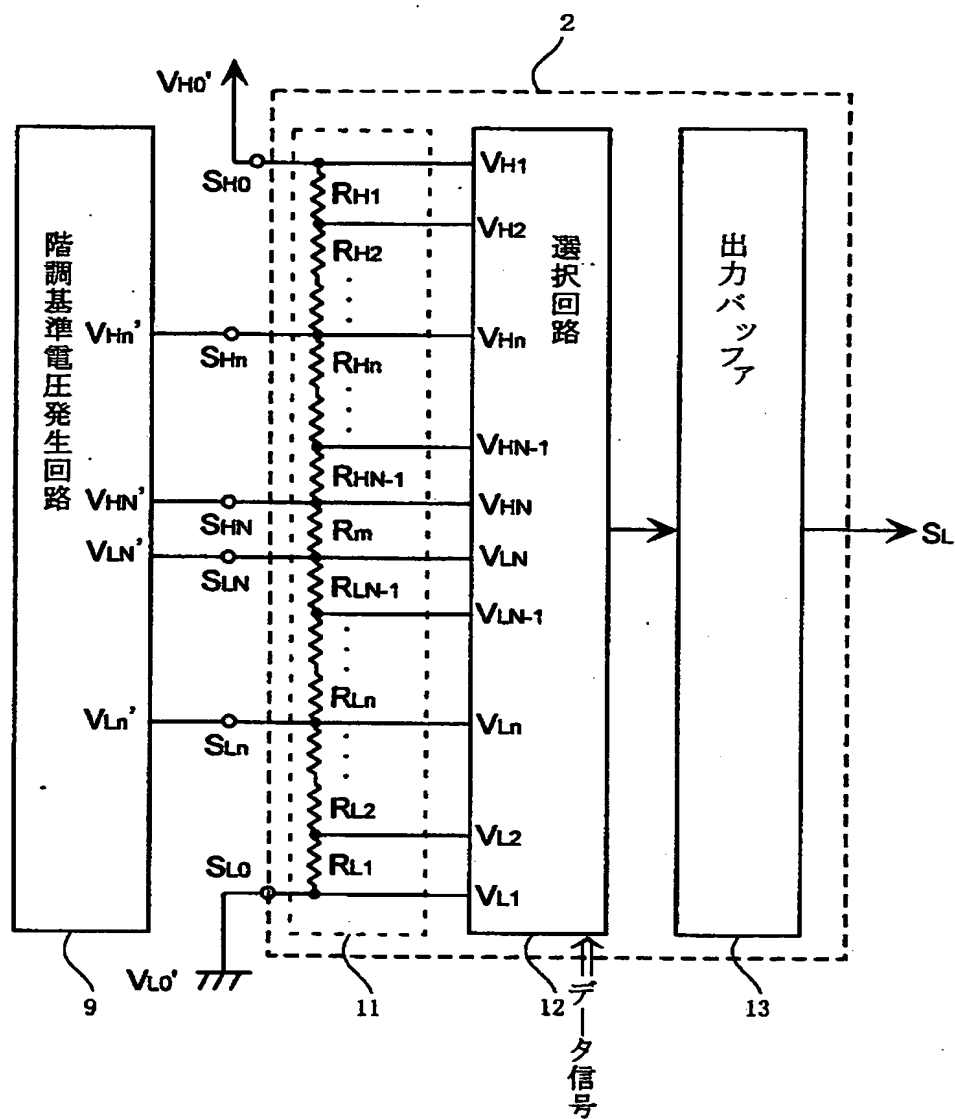
【図 1】



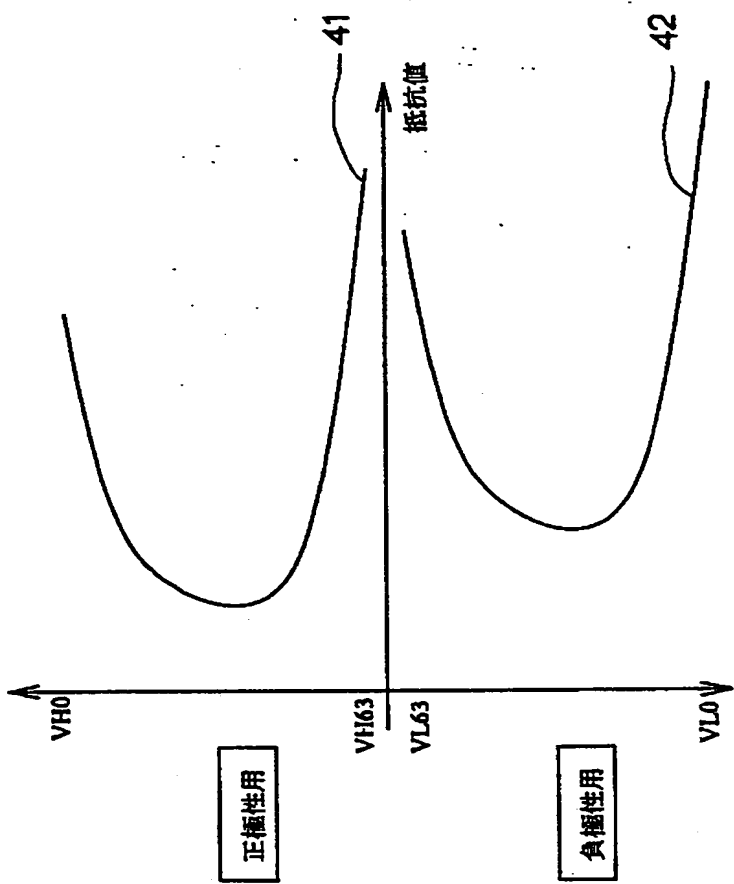
【図 2】



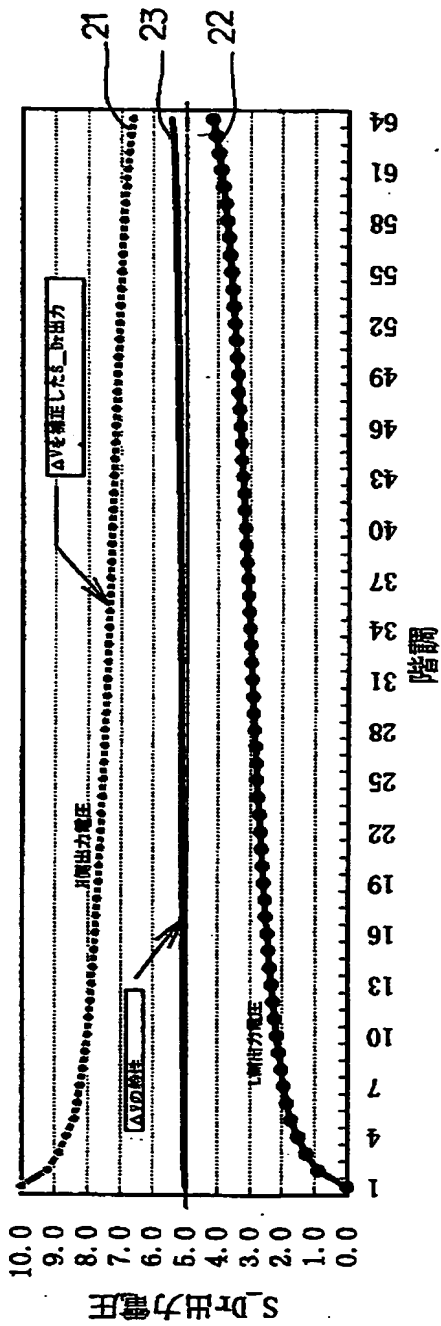
【図 3】



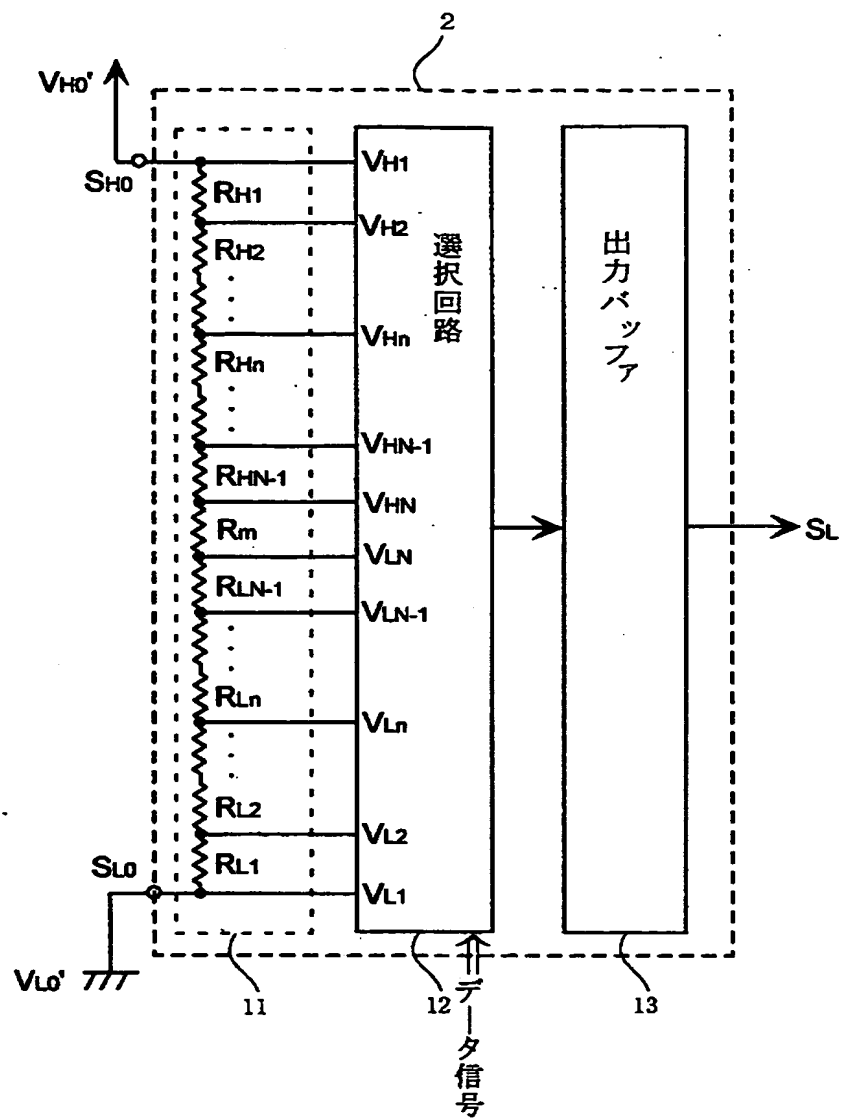
【図 4】



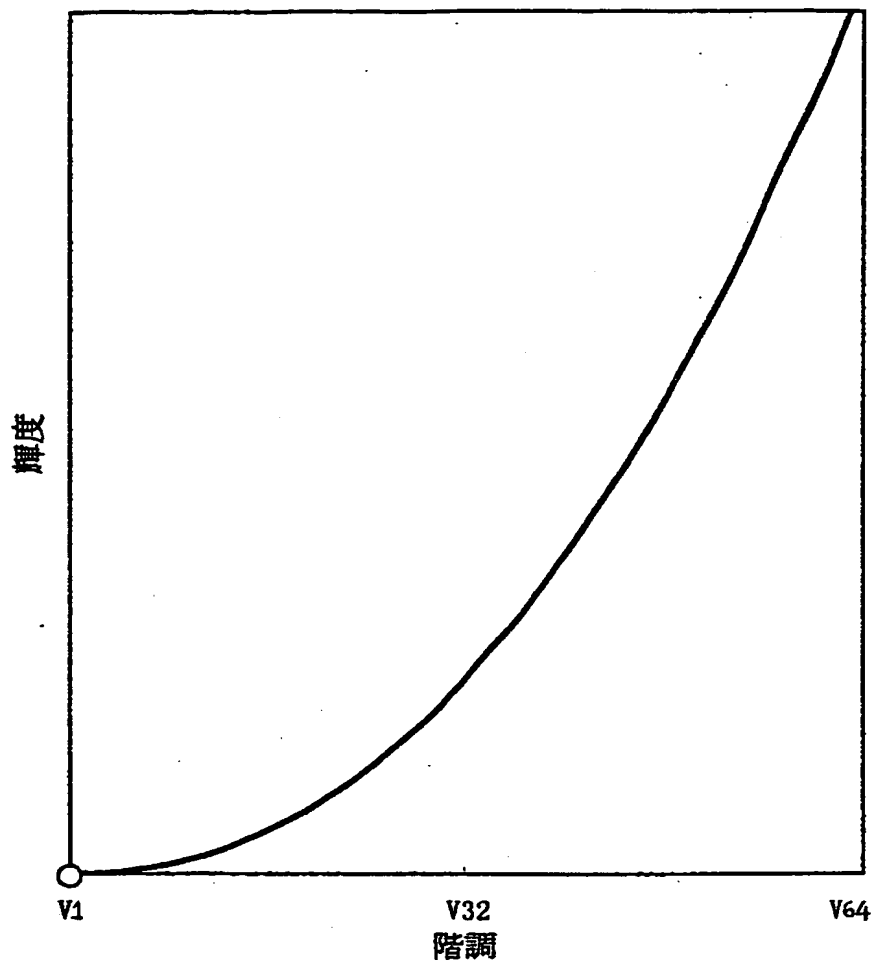
【図 5】



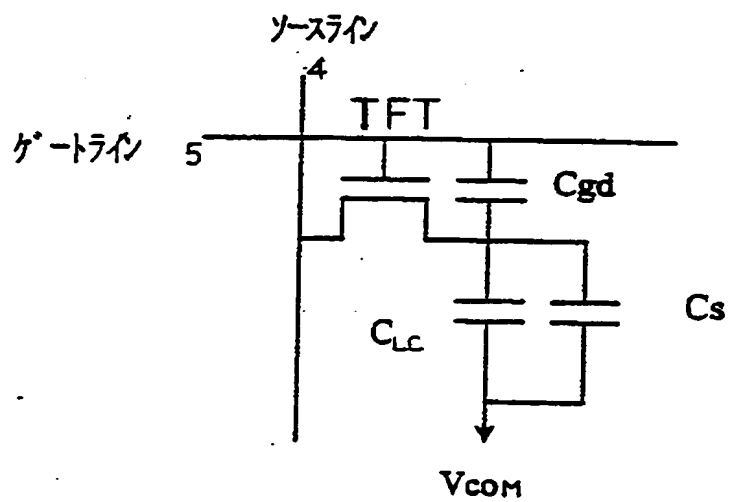
【図 6】



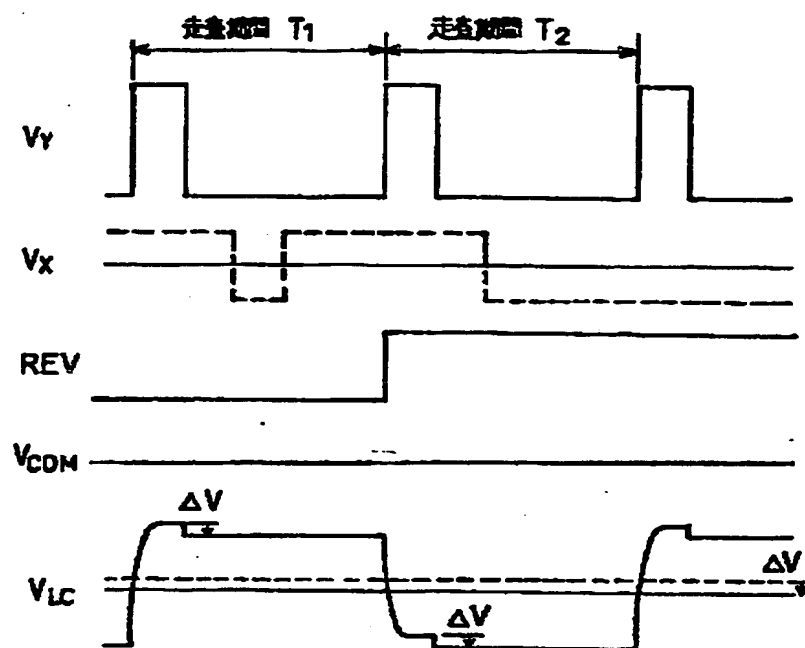
【図 7】



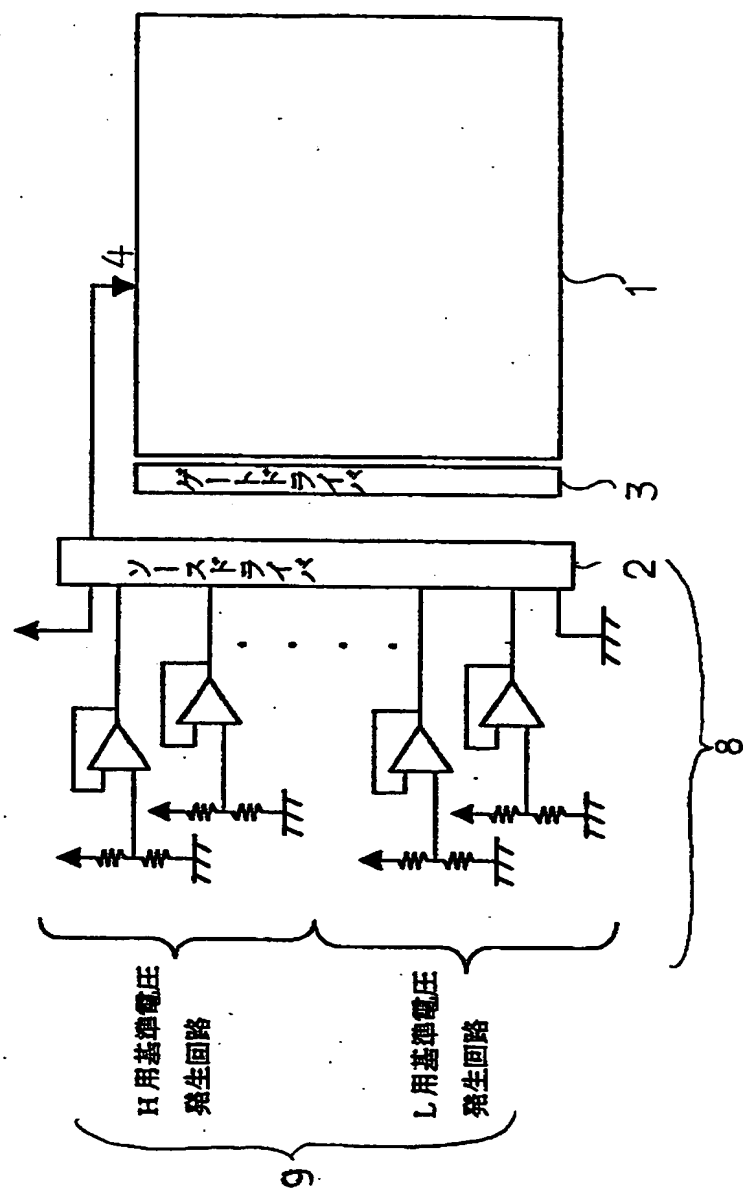
【図 8】



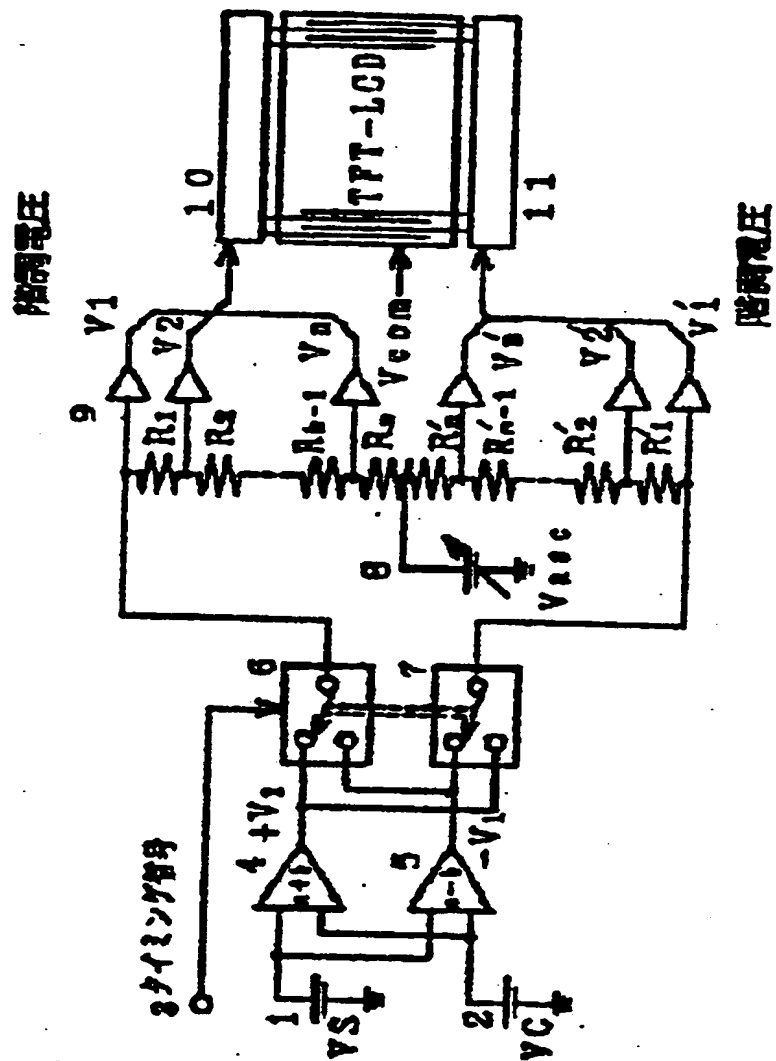
【図 9】



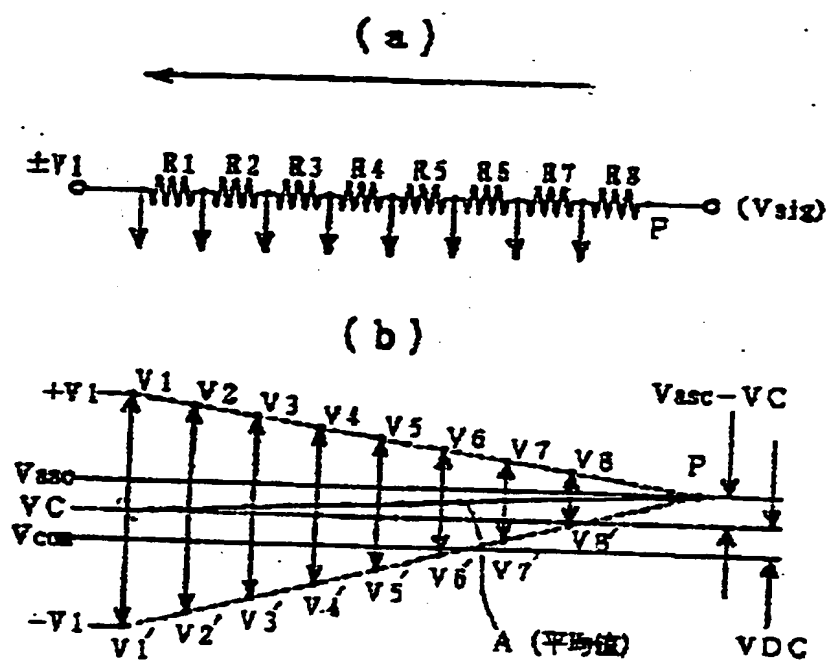
【図 1 0】



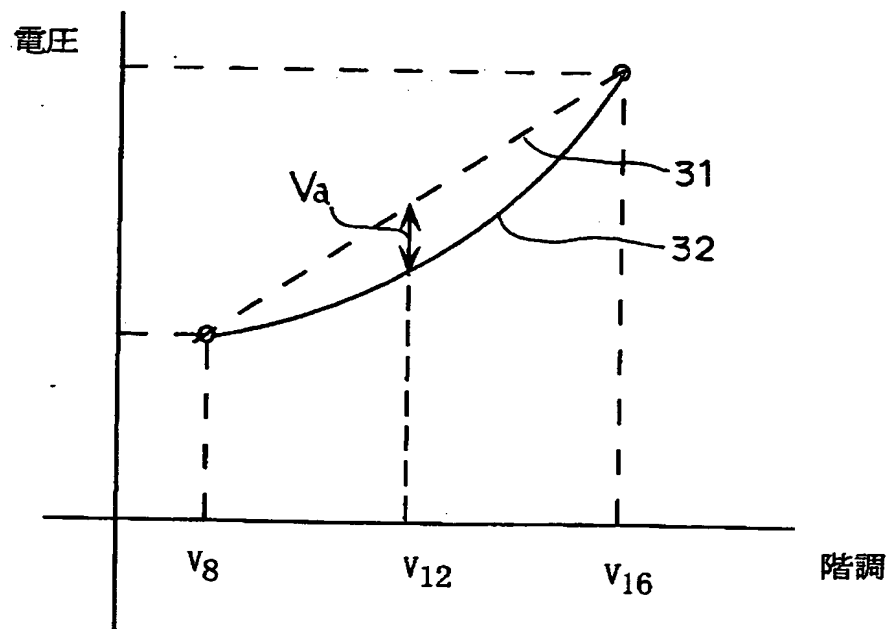
【図 11】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 フリッカなどの表示不具合のない、表示品位を格段に向上した液晶表示装置を提供する。

【解決手段】 ソースラインを通して画素に階調電圧を印加するソースライン駆動回路において、階調基準電圧をソースドライバに供給し、ソースドライバが出力する階調電圧の値がソースドライバ内部の抵抗分圧比を上下非対称に設定することで、レベルシフト ΔV を階調毎に補正するように階調電圧を作成する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社